

(11)Publication number : 11-097704  
(43)Date of publication of application : 09.04.1999

(51)Int.Cl. H01L 29/786  
H01L 21/336

(21)Application number : 09-273455 (71)Applicant : SEMICONDUCTOR ENERGY  
LAB CO LTD

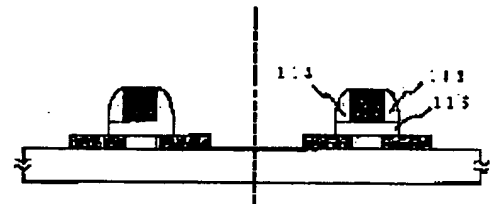
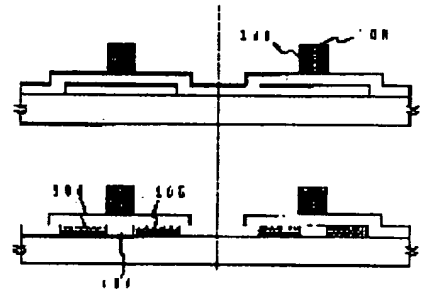
(22)Date of filing : 20.09.1997 (72)Inventor : CHIYOU KOUYUU  
GOTOU YUUGO

#### (54) SEMICONDUCTOR DEVICE AND MANUFACTURE OF THE SAME

##### (57)Abstract:

**PROBLEM TO BE SOLVED:** To prevent generation of hillock and whisker, by forming a protective film made of an anodized film having a high contactability on the upper surface of a gate electrode, and forming a substantially triangular insulating film on the lateral sides of the gate electrode.

**SOLUTION:** An aluminum film is formed on an insulating film covering an island semiconductor layer by a sputtering method, and a thin film 103 is formed on the surface thereof by anode oxidation. By this thin film 103, generation of hillock and whisker can be prevented. After a gate electrode 120 is formed by patterning, phosphorus ions are doped by using the gate electrode 120 as a mask, thus forming low-concentration N-type regions 104 and 105. After an insulating film is formed, anisotropic etching is carried out by a dry etching method, thus exposing the surface of source/drain regions and leaving sidewalls 112 and 113 on the lateral sides of the gate electrode. By using these sidewalls 112 and 113, a lightly doped drain structure can be easily manufactured.



#### LEGAL STATUS

[Date of request for examination] 01.07.2004

[Date of sending the examiner's decision  
of rejection]

[Kind of final disposal of application other  
than the examiner's decision of rejection]

or application converted registration]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-97704

(43) 公開日 平成11年(1999) 4月9日

(51) Int.Cl.<sup>6</sup>

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 1 6 A

21/336

6 1 6 M

審査請求 未請求 請求項の数 5 F D (全 12 頁)

(21) 出願番号 特願平9-273455

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(22) 出願日 平成9年(1997) 9月20日

(72) 発明者 張 宏勇

神奈川県厚木市長谷398番地 株式会社半

導体エネルギー研究所内

(72) 発明者 後藤 裕吾

神奈川県厚木市長谷398番地 株式会社半

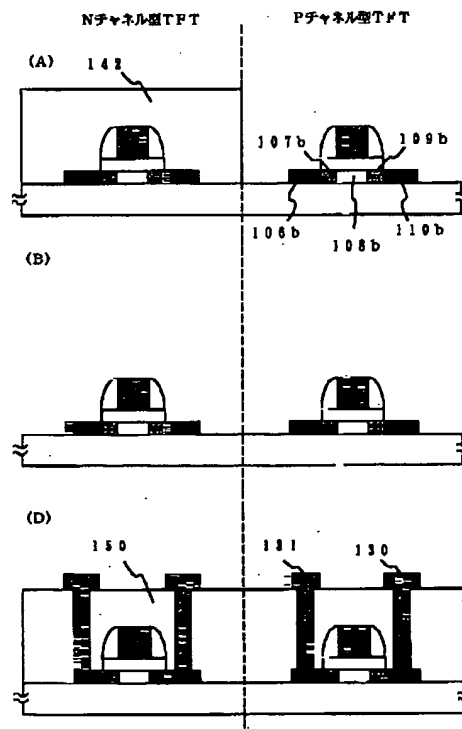
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【課題】 複雑な工程（配線分断工程）を必要としない生産性の高いプロセス、TFT作製に必要なマスクの数を減らす新規な工程及び構造を得ることを課題とする。

【解決手段】 ゲイト電極の上面には、ヒロックの発生を防ぐ陽極酸化膜を設け、ゲイト電極側面には、ウィスカの発生を防ぐサイドウォールを設ける構成とした。こうすることで、複雑な工程（配線分断工程）を必要としない生産性の高いプロセス、TFT作製に必要なマスクの数を減らす新規な工程及び構造を得ることができた。



**【特許請求の範囲】**

【請求項1】 絶縁表面を有する基板上に、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャンネル領域と、前記ソース領域と前記チャンネル領域の間および前記ドレイン領域と前記チャンネル領域の間に低不純物領域が形成され、少なくとも前記チャンネル領域上に形成されたゲイト絶縁膜と、前記チャンネル領域の上方において前記ゲイト絶縁膜上に形成されたゲイト電極と、前記ゲイト電極の側壁に接して第1の絶縁膜と、前記ゲイト電極の上部表面に接して第2の絶縁膜と、を有していることを特徴とする半導体装置。

【請求項2】 請求項1において、第1の絶縁膜は概略三角形であることを特徴とする半導体装置。

【請求項3】 請求項1において、第2の絶縁膜は陽極酸化膜であることを特徴とする半導体装置。

【請求項4】 絶縁表面を有する基板上に非単結晶膜を形成する工程と、前記非単結晶膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に導電膜を形成する工程と、前記導電膜上に保護層を形成する工程と、前記導電膜をチャンネル領域を覆う領域でゲイト電極に形成する工程と、第1次不純物ドーピングを行う工程と、前記ゲイト電極および前記保護層を覆って絶縁膜を形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし、ゲイト電極側面に概略三角形の絶縁膜を残す工程と、第1次不純物ドーピングより高濃度の第2次不純物ドーピングを行う工程と、を有する半導体装置の作製方法。

【請求項5】 絶縁表面を有する基板上に非単結晶膜を形成する工程と、前記非単結晶膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に導電膜を形成する工程と、前記導電膜上に保護層を形成する工程と、前記導電膜をチャンネル領域を覆う領域でゲイト電極に形成する工程と、不純物ドーピングを行う工程と、前記ゲイト電極および前記保護層を覆って絶縁膜を形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし、ゲイト電極側面に概略三角形の絶縁膜を残す工程と、ソース／ドレイン領域にシリサイド層を形成する工程と、を有する半導体装置の作製方法。

**【発明の詳細な説明】****【0001】**

【発明が属する技術分野】本願発明は、薄膜半導体を用いた半導体装置およびその作製方法に関する。特に、絶縁基板上に形成された薄膜トランジスタ(TFT)およびその作製方法に関する。

**【0002】**

【従来の技術】従来よりLDD(ライトドープドレイン)領域を備えた薄膜トランジスタの構造が知られている。LDD領域は、チャンネル領域とドレイン領域との間に形成される電界の強度を緩和し、薄膜トランジスタの

OFF電流値の低減、劣化の防止の役割を果たしている。

【0003】従来のLDD領域を備えた半導体装置の概要工程を図9に示す。最初に、この従来例での半導体装置の工程について述べる。

1) 符号900で示す絶縁基板上に島状の半導体薄膜を形成する。

2) 半導体薄膜を覆ってゲイト絶縁膜917を形成する。

3) 導電体からなる膜を積層し、パターニングすることでゲイト電極920を得る。

4) ゲイト電極920をマスクにn型にドーピングを弱くイオン注入またはイオンドーピングを行い、チャンネル領域、低濃度領域を形成する。

5) 全面に絶縁膜を堆積し、これを上方からRIEにより異方性エッチングすることにより、図Aに示すように、ゲイト電極側壁に側部絶縁膜912、913を形成する。

6) 第1のレジスト941により、第2のトランジスタを保護して、かかる絶縁膜を側壁に有するゲイト電極をマスクにさらに第1の導電型のイオン注入またはイオンドーピングを行うことにより、領域906、910を高濃度にドーピングし、チャンネル領域との間に低濃度領域907、909を残す。

7) 第1のレジストを除去して、第1のトランジスタを第2のレジストパターンにより保護して、同様に第2の導電型のイオン注入またはイオンドーピングを行う。

8) さらに、第2のレジストを除去して、半導体装置間を絶縁分離する厚い絶縁膜918を形成し、ソース電極、ドレイン電極を形成して、TFTトランジスタを得ていた。

**【0004】**

【発明が解決しようとする課題】年々、生産性を向上させるために、加工基板の大型化が進み、最近では550×650mmのガラス基板が主流になっている。今後もさらなる基板の大型化が進むと考えられている。基板が大型化することで、1枚の大型基板(シート)で複数のパネルが作製できるため、生産性が向上する。

【0005】大型基板を使用するため、バス配線材料としては低抵抗で安価に入手可能なアルミニウムが適している。しかし、アルミニウムを主成分とする材料からなる配線とした場合、熱処理によりヒロック、ウィスカが発生し、TFT素子製造の歩留り、生産性の低下を引き起こしていた。

【0006】ここで、アルミ電極の上面に発生するヒロックとは、アルミニウムの成長成分がぶつかりあうことで盛り上がりが生じてしまう現象をいう。また、アルミ電極の側面に発生するウィスカは、アルミの異常成長によって刺状の成長が行われてしまう現象をいう。このヒロックやウィスカの成長距離は数 $\mu\text{m}$ にも達するこ

とがある。

【0007】そこで、従来では、アルミニウム膜にスカンジウム (Sc) やチタン (Ti) やイットリウム (Y) を0.04~1.0重量%含有させ、高真空成膜で形成することで、ヒロックやウィスカーの発生を抑制していた。

【0008】しかし、大型ガラス基板を用いた場合、ヒロックが発生しにくい配線を高真空成膜で形成するためには長時間の真空引きが必要なため産業上不利であった。

【0009】これらの問題点に対して、配線を強化し、また、自己整合的にLDD領域を形成するために、ゲイト電極を陽極酸化する構成が知られている。陽極酸化膜の形成により、ヒロックやウィスカーの発生は抑えることができたが、陽極酸化工程を加えることで、配線パターンを全て接続し、通電させなければならないので、パターンニングによる配線分断工程が必須となり、TFT素子自身の小型化、パターンの微細化を困難なものにしていた。

【0010】また、アルミ配線の上表面に酸化珪素膜や窒化珪素膜等の膜を積層することで、ヒロックを防止する構成が知られているが、密着性が悪く、ピーリングという別な問題が発生していた。また、このピーリングは、配線が細くなるにつれて顕著に発生していた。

【0011】従って、複雑な工程を必要としない生産性の高いプロセス、TFT作製に必要なマスクの数を減らす新規な工程および構造が望まれていた。

【0012】また、前述したような従来の薄膜トランジスタの作製工程においては、サイドウォール形成時における異方性エッチング（弗素エッチングガス、プラズマ衝撃）により、ゲイト電極および配線にダメージを受けるといった問題が生じていた。

【0013】本発明のより具体的な課題は、ヒロック等の発生を防止し、LDD構造を有する生産性の高い薄膜トランジスタの作製方法およびその構造を提供することにある。従って、本発明は、TFTの新規な構造と簡単な製造工程を提供することに関する。

【0014】

【課題を解決するための手段】本明細書で開示する本発明の構成は、絶縁表面を有する基板上に、ソース領域と、ドレイン領域と、前記ソース領域と前記ドレイン領域の間に形成されているチャネル領域と、前記ソース領域と前記チャネル領域の間および前記ドレイン領域と前記チャネル領域の間に低不純物領域が形成され、少なくとも前記チャネル領域上に形成されたゲイト絶縁膜と、前記チャネル領域の上方において前記ゲイト絶縁膜上に形成されたゲイト電極と、前記ゲイト電極の側壁に接して第1の絶縁膜と、前記ゲイト電極の上部表面に接して第2の絶縁膜と、を有していることを特徴とする半導体装置である。

【0015】なお、上記構成において、第1の絶縁膜は概略三角形状である。

【0016】なお、上記構成において、第2の絶縁膜は陽極酸化膜である。

【0017】また、他の発明の構成は、絶縁表面を有する基板上に非単結晶膜を形成する工程と、前記非単結晶膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に導電膜を形成する工程と、前記導電膜上に保護層を形成する工程と、前記導電膜をチャネル領域を覆う領域でゲイト電極に形成する工程と、第1次不純物ドーピングを行う工程と、前記ゲイト電極および前記保護層を覆って絶縁膜を形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし、ゲイト電極側面に概略三角形状の絶縁膜を残す工程と、第1次不純物ドーピングより高濃度の第2次不純物ドーピングを行う工程と、を有する半導体装置の作製方法である。

【0018】また、他の発明の構成は、絶縁表面を有する基板上に非単結晶膜を形成する工程と、前記非単結晶膜上にゲイト絶縁膜を形成する工程と、前記ゲイト絶縁膜上に導電膜を形成する工程と、前記導電膜上に保護層を形成する工程と、前記導電膜をチャネル領域を覆う領域でゲイト電極に形成する工程と、不純物ドーピングを行う工程と、前記ゲイト電極および前記保護層を覆って絶縁膜を形成する工程と、異方性エッチングを行うことによって、前記絶縁膜をエッチングし、ゲイト電極側面に概略三角形状の絶縁膜を残す工程と、ソース/ドレイン領域にシリサイド層を形成する工程と、を有する半導体装置の作製方法である。

【0019】本発明においては、ゲイト電極の上面のみに接する密着性のよい陽極酸化膜でなる保護膜を設け、ゲイト電極側面に接して、概略三角形状の絶縁膜（サイドウォール）を設ける構造とする。このサイドウォールの幅は1 $\mu$ m以下が好ましい。

【0020】ゲイト電極の上面のみに設けられた保護膜は、ヒロックの発生を防ぎ、異方性エッチング（弗素エッチングガス、プラズマ衝撃）からゲイト電極および配線を防ぐことができる。さらに、この保護膜は、レーザー光や熱からゲイト電極および配線を防ぐことができる。また、ゲイト電極側面に設けられたサイドウォールは、ウィスカーの発生を十分防ぐことができる。また、これらのゲイト電極の上面および側面の保護膜は、複雑な工程（配線の分断工程等）を経ることなく、簡易に形成することができる。

【0021】

【発明の実施の形態】図1~3は、本発明の作製工程を示している。ここではNチャネル型TFTにのみ着目して作製方法を示す。そのため、図2(C)、図3(A)の不純物の導入工程に関する説明は省略した。

【0022】まず、図1(A)の工程において、基板100上に図示しない酸化珪素からなる下地膜上に、プラ

ズマCVD法やLPCVD法によってアモルファスもしくは多結晶のシリコン膜を30~100nmの厚さに成膜し、エキシマレーザ光を照射して、多結晶珪素膜を形成した。なお、非晶質珪素膜の結晶化方法として、SPCと呼ばれる熱結晶化法、赤外線を照射するRTA法、熱結晶化とレーザアニールとを用いる方法等を用いることができる。この結晶化したシリコン膜をパターンニングして、TFTのソース領域、ドレイン領域、チャネル形成領域を構成する島状の半導体層102を形成する。

【0023】次に、図1(B)の工程において、島状の半導体層を覆う絶縁膜117を形成する。この絶縁膜は、プラズマCVD法によって、一酸化二窒素( $N_2O$ )とモノシラン( $SiH_4$ )との混合ガスを原料ガスにして、厚さ120nmに形成した。その後、スパッタ法でアルミニウム膜を200~500nmの厚さに形成し、アルミニウム膜の表面に、ヒロックやウィスカの発生を防ぐ薄膜102を10~30nmの厚さに形成する。この薄膜は、陽極酸化によって形成することが好ましい。

【0024】次に、図1(C)の工程において、パターンニングして、上面に薄膜103を有するゲイト電極120を形成する。

【0025】この後、しきい値電圧の制御をするためにチャネル領域に13族または15族から選ばれた元素をイオン注入法またはイオンドーピング法により注入する工程を加えてもよい。このような技術はチャネルドープ技術として知られている。また、図1(A)の段階でこの工程を加えてもよい。この場合、マイナス側にシフトしたしきい値電圧をプラス側に動かす場合には13族元素(代表的にはボロン)を添加し、逆にプラス側にシフトしたしきい値電圧をマイナス側に動かす場合には15族元素(代表的にはリン)を添加すればよい。

【0026】次に、図1(D)の工程において、イオンドーピング法によって島状の半導体層102にゲイト電極120をマスクにして、リンイオンを自己整合的にドーピングをする。この結果、弱いN型領域(N-領域)104、105が形成される。

【0027】次に、図2(A)の工程において、絶縁性の被膜(酸化珪素膜等)118を形成する。この絶縁性の被膜は、ゲイト電極側面への被覆性が優れていることが重要である。

【0028】次に、図2(B)の工程において、絶縁性の被膜118をドライエッチング法等の手段によって異方性エッチングする。この結果、ソース/ドレイン領域の表面は露出され、ゲイト電極の側面にサイドウォール112、113が残る。

【0029】次に、N型の不純物、例えばPがイオン注入またはイオンドーピングにより、トランジスタの領域に導入される。その結果、島状の半導体膜中にチャネル領域を挟むようにN型領域が形成される。

【0030】本発明では、LDD構造が、ゲイト電極の側壁に形成されるサイドウォールを使うことにより、非常に簡単に作製することができる。安価に半導体装置を得るには、ガラス基板上にTFTを形成するために低温プロセスである必要があり、このためゲイト電極として、通常のMOSデバイスで使われるポリシリコンの代わりに低温で形成できる低抵抗な材料が使われる。具体的には、モリブデン(Mo)、タングステン(W)、プラチナ(Pt)、クロム(Cr)、チタン(Ti)、コバルト(Co)、アルミニウム(Al)、または、これらの内すくなくとも1種類を主成分とする合金が挙げられるが、本発明においては、Alを用いることが望ましい。

【0031】次に、図3(B)の工程において、KrFのエキシマレーザを照射することによりアニールして導入した不純物を活性化する。この時、絶縁性の被膜118は、レーザ光または高熱からゲイト電極を保護する役目も果している。

【0032】次に、図3(C)の工程において、全面に酸化珪素膜からなる層間絶縁膜150を堆積し、これにコンタクトホールを形成した後、ソース/ドレイン電極131、130を形成することにより、基板上にLDD構造を有するNチャネル型TFTとPチャネル型TFTを備えた構造が得られる。

【0033】

【実施例】以下、本発明の実施例を説明するが、本発明がこの実施例に限定されないことは勿論である。

〔実施例1〕本実施例においては、ゲイト電極の上面が陽極酸化膜で保護され、側面がサイドウォールで保護されている半導体装置の作製工程を図1~3を用いて詳述する。

【0034】まず、絶縁表面を有するガラス基板100を用意する。本実施例では、ガラス基板を用いたが、絶縁表面を有する基板であれば、ガラス基板に限定されない。この基板100上に図示しない酸化珪素からなる200nmの厚さの下地膜を形成し、その上に、プラズマCVD法やLPCVD法によってアモルファスシリコン膜を30~100nm、好ましくは50~80nmの厚さに形成する。そして、500℃以上、好ましくは800~900℃の温度で熱アニールを行い、シリコン膜を結晶化させる。また、熱アニールによってシリコン膜を結晶化させる際に、触媒元素を添加することによって、シリコンの結晶化を促進させてもよい。この結晶化したシリコン膜をパターンニングして、Pチャネル型TFTとNチャネル型TFTの島状の半導体層102を形成する。〔図1(A)〕

【0035】次に、島状の半導体層を覆う絶縁膜117を形成する。この絶縁膜は、プラズマCVD法によって、一酸化二窒素( $N_2O$ )とモノシラン( $SiH_4$ )との混合ガスを原料ガスにして、100~150nm、

ここでは厚さ120nmに形成した。その後、スパッタ法でアルミニウム膜を300nmの厚さに形成し、アルミニウム膜の表面に、ヒロックやウィスカーの発生を防ぐ陽極酸化膜103を10~30nmの厚さに形成する。本実施例は、陽極酸化膜で形成したが、ヒロックやウィスカーの発生を防ぎ、且つ、後の工程である異方性エッチングのストッパーの役目を果たす膜であれば特に限定されない。〔図1(B)〕

【0036】その後、パターンニングして、上面に薄膜103を有するゲイト電極120を形成する。〔図1(C)〕

【0037】次に、イオンドーピング法によって島状の半導体層102にゲイト電極120をマスクにして、リンイオンを自己整合的にドーピングをする。ドーピングガスはフォスフィン( $\text{PH}_3$ )を用いる。この時のドーピング量は $1 \times 10^{12} \sim 5 \times 10^{13}$ 原子/ $\text{cm}^2$ とする。この結果、弱いN型領域(N-領域)104、105が形成される。

【0038】次に、絶縁性の被膜118を厚さ200~1000nm、ここでは酸化珪素膜を300nmに形成する。この絶縁性の被膜は、ゲイト電極側面への被覆性が優れていることが重要である。〔図2(A)〕

【0039】その後、絶縁性の被膜118をドライエッチング法等の手段によって異方性エッチングする。この結果、ソース/ドレイン領域の表面は露出され、ゲイト電極の側面にサイドウォール112、113が残る。また、ゲイト電極の上面は、陽極酸化膜で保護されている。〔図2(B)〕

【0040】次に、Pチャネル型TFTがレジストマスク141により保護され、この状態でN型の不純物、例えばPがイオン注入またはイオンドーピングにより、トランジスタの領域に導入される。その結果、チャネル領域108a、低濃度不純物領域107a、109a、高濃度不純物領域106a、110aが形成される。〔図2(C)〕

【0041】次に、Nチャネル型TFTがレジストマスク142により保護され、この状態でP型の不純物、例えばBがイオン注入またはイオンドーピングにより、トランジスタの領域に導入される。その結果、チャネル領域108b、低濃度不純物領域107b、109b、高濃度不純物領域106b、110bが形成される。〔図3(A)〕

【0042】次に、レジストマスク142が除去され、エネルギーが350mJのKrFのエキシマレーザを照射することによりアニールして導入した不純物を活性化する。〔図3(B)〕

【0043】次に、全面に層間絶縁膜150を堆積し、これにコンタクトホールを形成した後、ソース/ドレイン電極131、130を形成する。こうして、基板上にLDD構造を有するNチャネル型TFTとPチャネル型

TFTを備えた構造が得られる。〔図3(C)〕

【0044】このようにして得られたNチャネル型TFTとPチャネル型TFTとを相補的に組み合わせてCMOS回路を形成することができる。このCMOS回路を周辺回路に用い、Nチャネル型TFTを画素マトリクス回路に用いた素子基板と対向電極403を有する対向基板402を貼り合わせた装置の断面図を図4に示す。素子基板と対向基板の間には、液晶405が挟持されており、その液晶を配向させるために配向膜401、404が形成されている。

【0045】また、この装置の素子基板について詳しく説明する。CMOS回路を用いて、駆動回路(ドライバー回路)やその他のロジック回路(D/Aコンバータ、 $\gamma$ 補正回路、メモリ等)を構成する。また、Nチャネル型TFTを用いて画素マトリクスを構成する。

【0046】そして、アクティブマトリクス型液晶表示素子基板を駆動回路とその他のロジック回路と画素マトリクスとで構成する。こうして作製した素子基板の外観を図5に示す。図5において、501は基板であり、その上には本願発明のTFTからなる画素マトリクス回路502、ソース側駆動回路503、ゲイト側駆動回路504、ロジック回路505が構成されている。

【0047】〔実施例2〕本実施例においては、ソース/ドレイン領域にシリサイドを有する半導体装置の構成図を図6に示し、その作製方法を以下に詳述する。実施例1における工程〔図2(B)〕までは、同様に形成する。

【0048】実施例1における工程により、図2(B)と同様の構造が得られたら、全面に適当な金属、例えば、チタン、モリブデン、タングステン、白金、パラジウム等の被膜を基板全面に形成する。

【0049】そして、適切な温度でのアニールやレーザーもしくはフラッシュランプ等でのアニール等によってこの金属膜とソース/ドレイン領域のシリコンとを反応させてシリサイド層606a、610a、606b、610bを形成する。金属膜は、その他の材料、例えば、酸化珪素や窒化珪素、あるいはゲイト電極の酸化物層を構成する酸化アルミニウムや酸化チタン、酸化タンタル等とは反応しないで、金属状態のままである。このように、基板上にはシリサイドと金属膜とが同時に存在するが、適当なエッチャントによって、金属膜のみを選択的にエッチングすることができる。この際に、本発明の特徴であるゲイト電極の上面に酸化物層が存在することは重要である。というのは、この酸化物層によって、金属膜とゲイト電極が直接に反応しないからである。

【0050】本実施例におけるシリサイド層に用いられるシリサイドの種類としては、Tiを用いて $\text{TiSi}$ 、 $\text{TiSi}_2$ 、Moを用いて $\text{MoSi}_2$ 、Wを用いて $\text{WSi}_2$ 、 $\text{W}(\text{SiAl})_2$ 、 $\text{TiSi}_2$ を用いて $\text{Ti}_7\text{Si}_{12}\text{Al}_5$ 、 $\text{Pd}_2\text{Si}$ を用いて $\text{Pd}_4\text{SiAl}_3$ を利用することができる。しかしながら、Tiを用いて $\text{TiSi}$ やTi

Si<sub>2</sub>を利用することが、処理温度の問題や、接触抵抗、シート抵抗の問題から好ましい。

【0051】次に、全面に層間絶縁膜を堆積し、これにコンタクトホールを形成した後、ソース／ドレイン電極を形成する。こうして、図6に示すように、ソース／ドレイン領域がシリサイド層で形成された構造を有するNチャネル型TFTとPチャネル型TFTを備えた構造が得られる。

【0052】〔実施例3〕本実施例においては、ゲイト電極が複数の積層で形成されている半導体装置の構成図を図7に示し、その作製方法を以下に詳述する。実施例1とは、ゲイト電極形成時の工程以外は同じ工程を経て作製する。本実施例においては、アルミニウム膜を形成する前に、チタン(Ti)、または、モリブデン(Mo)を主成分とする膜を1層設ける構成とする。この工程により、第1電極であるアルミ電極の下層に第2電極701、702が設けられる。こうすることで、450度以上の熱処理により、アルミニウムとシリコンが反応するのを防ぐことができる。

【0053】〔実施例4〕図8に示す半導体回路は、実施例1乃至実施例3で作製されるTFTを用いた三次元構造の半導体回路の一例を示している。図8は下側にTFT層、上側にイメージセンサを積層した三次元回路である。

【0054】図8において、23は層間絶縁膜であり、また、21は光電変換層であり非晶質珪素膜等を用いることができる。その上には上部電極(透明導電膜)22が設けられ、光を受光して電気信号に変換する受光部を構成している。

【0055】なお、TFTの作製行程は実施例1乃至実施例3で既に説明したので省略する。また、三次元回路を構成するための積層技術は、公知の手段を用いれば良い。ただし、上側のTFT層を形成する場合、下層のTFTの耐熱性を考慮する必要がある。

【0056】例えば、下層を本願発明のTFTで構成し、上層を従来の低温形成のTFTとする構成でも良い。また、下層のTFTを耐熱性の高い材料で形成しておき、上層にも本願発明のTFTを形成する様な構造としても良い。また、上層となるイメージセンサは受光部だけで構成し、下層のTFTで上層の受光部を制御する構成としても良い。

【0057】〔実施例5〕本明細書で開示する発明は、TFT(Thin Film Transistor、薄膜トランジスタ)に代表される半導体装置を利用した電気光学装置に応用することが可能である。電気光学装置としては、液晶表示装置、EL(エレクトロルミネッセンス)表示装置、EC(エレクトロクロミックス)表示装置などが挙げられる。

【0058】また、応用商品としてはTVカメラ、パーソナルコンピュータ、カーナビゲーション、TVプロジ

ェクション、ビデオカメラ等が挙げられる。それら応用用途の簡単な説明を図10を用いて行う。

【0059】図10(A)はTVカメラであり、本体2001、カメラ部2002、表示装置2003、操作スイッチ2004で構成される。表示装置2003はビューファインダーとして利用される。

【0060】図10(B)はパーソナルコンピュータであり、本体2101、カバー部2102、キーボード2103、表示装置2104で構成される。表示装置2104はモニターとして利用され、対角十数インチもサイズが要求される。

【0061】図10(C)はカーナビゲーションであり、本体2201、表示装置2202、操作スイッチ2203、アンテナ2204で構成される。表示装置2202はモニターとして利用されるが、地図の表示が主な目的なので解像度の許容範囲は比較的広いと言える。

【0062】図10(D)はTVプロジェクションであり、本体2301、光源2302、表示装置2303、ミラー2304、2305、スクリーン2306で構成される。表示装置2303に映し出された画像がスクリーン2306に投影されるので、表示装置2303は高い解像度が要求される。

【0063】図10(E)はビデオカメラであり、本体2401、表示装置2402、接眼部2403、操作スイッチ2404、テープホルダー2405で構成される。表示装置2402に映し出された撮影画像は接眼部2403を通してリアルタイムに見ることができるので、使用者は画像を見ながらの撮影が可能となる。

【0064】以上の様に、本発明の応用範囲は極めて広く、様々な半導体回路を有する製造品に適用することが可能である。

【0065】

【発明の効果】本発明により、大型ガラス基板を用いても、複雑な工程を必要としない生産性の高いプロセスで、ヒロックやウィスカ等からゲイト電極および配線を保護する構造を得ることができた。また、本発明の作製工程では、分断工程の必要な陽極酸化工程を用いないので、TFT素子自身の小型化、パターンの微細化が可能である。さらに、本発明の作製工程では、LDD構造を簡易に得ることができ、且つ、ゲイト電極や配線が保護されているため、信頼性が向上した。

【図面の簡単な説明】

- 【図1】 本発明の作製工程図
- 【図2】 本発明の作製工程図
- 【図3】 本発明の作製工程図
- 【図4】 実施例1の断面構造図
- 【図5】 アクティブマトリクス素子基板の外観図
- 【図6】 実施例2の断面構造図
- 【図7】 実施例3の断面構造図
- 【図8】 本発明のTFTを用いた応用例



【図9】 従来の作製工程図

【図10】 半導体装置の応用例を示す図。

【符号の説明】

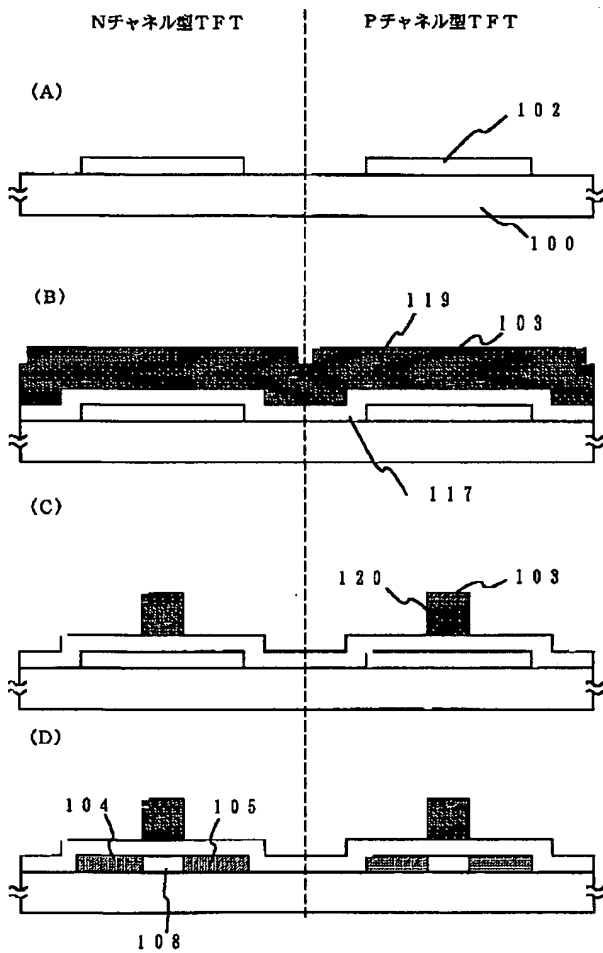
100	ガラス（または石英）基板
102	島状半導体層
103	陽極酸化膜
104、105	低濃度不純物領域
106 a、110 a	高濃度不純物領域（Nチャネル型TFT）
106 b、110 b	高濃度不純物領域（Pチャネル型TFT）
107 a、109 a	低濃度不純物領域（Nチャネル

型TFT）

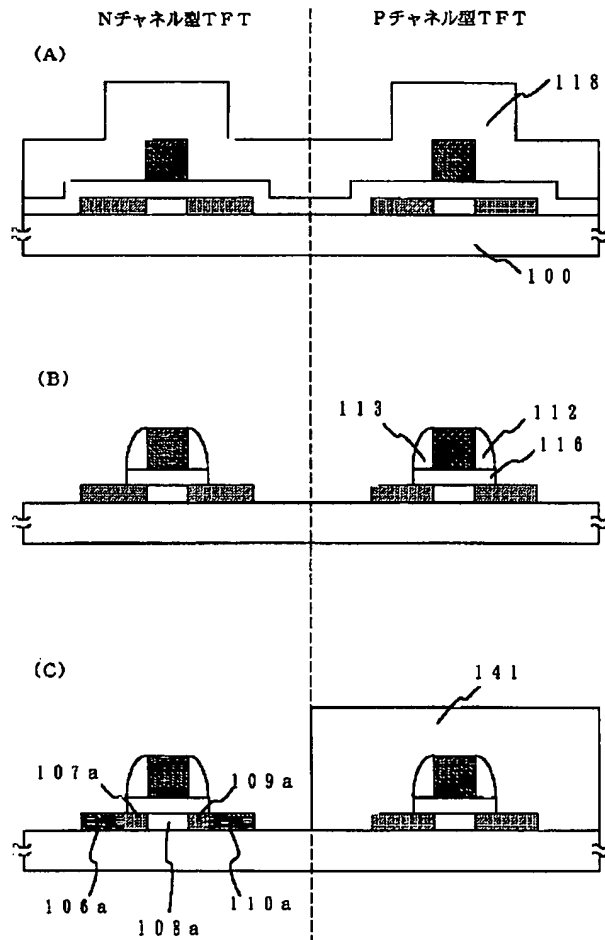
107 b、109 b 低濃度不純物領域（Pチャネル型TFT）

108	チャネル領域
112、113	サイドウォール
117	ゲイト絶縁膜
119	アルミニウム膜
120	ゲイト電極
130	ドレイン配線
131	ソース配線
141、142	レジスト
150	層間絶縁膜

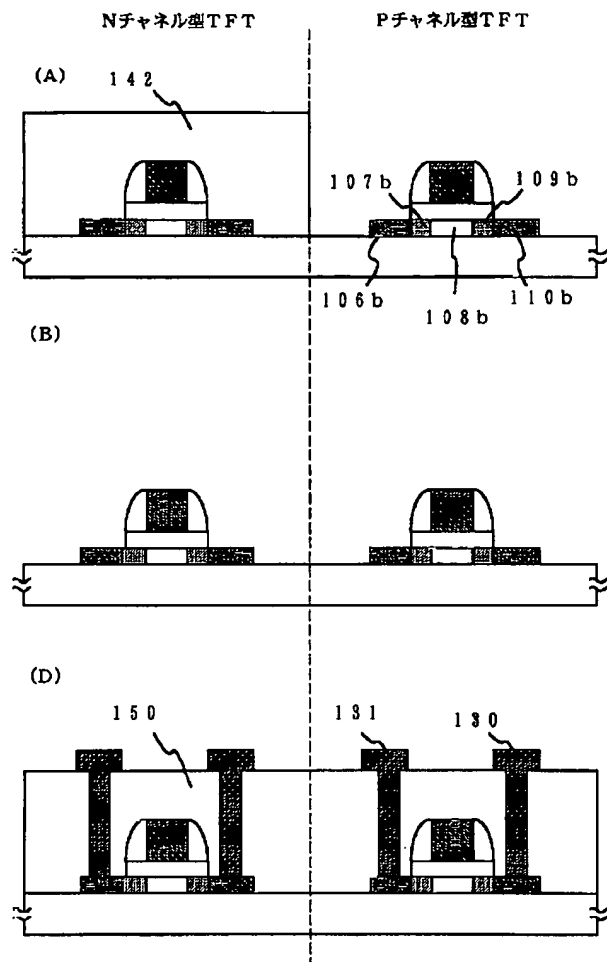
【図1】



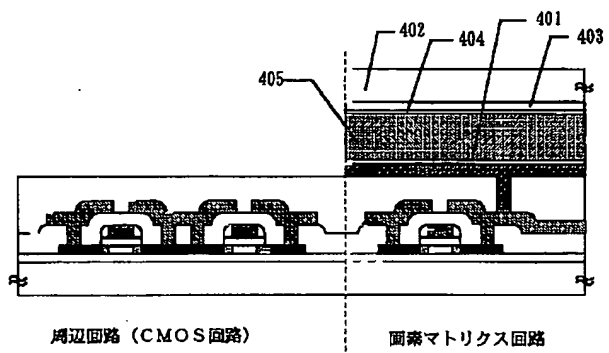
【図2】



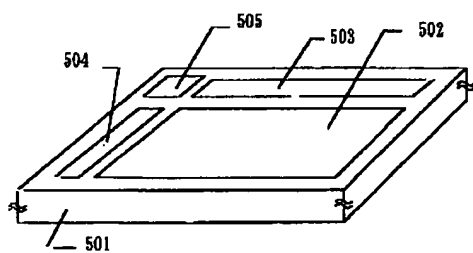
【図3】



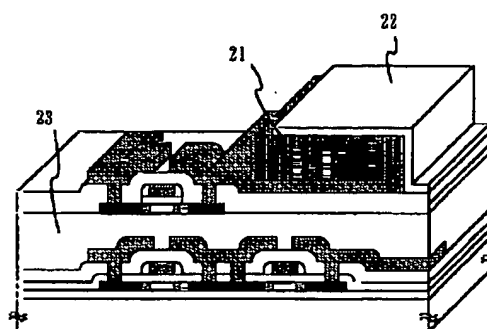
【図4】



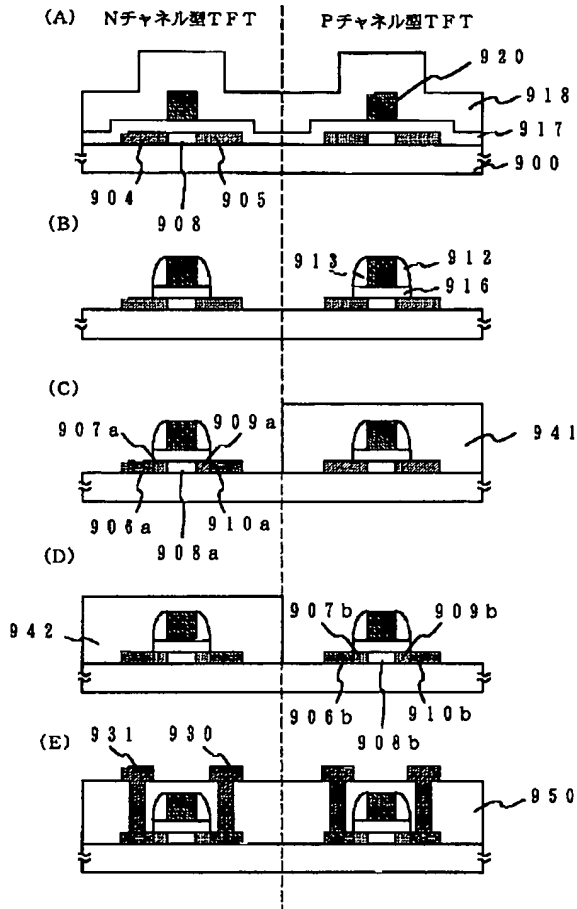
【図5】



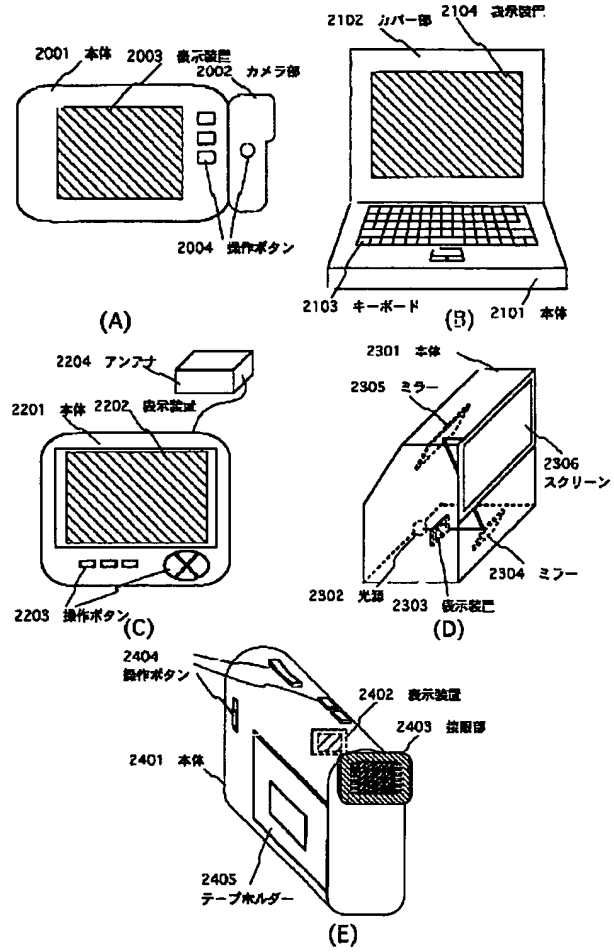
【図8】



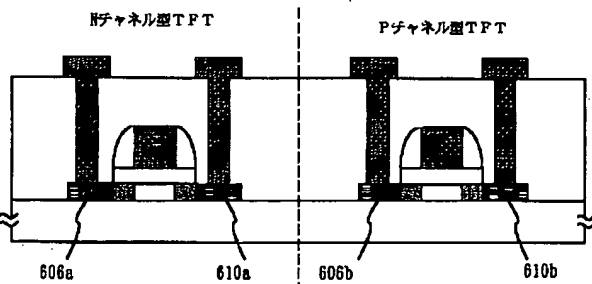
【図9】



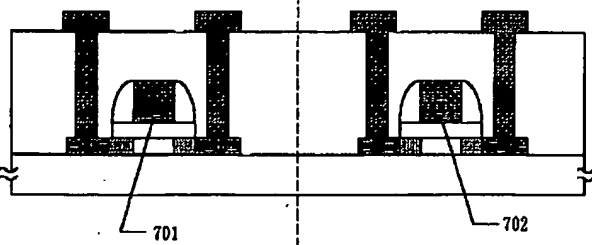
【図10】



【図6】



【図7】



【手続補正書】

【提出日】平成10年1月7日

【手続補正1】

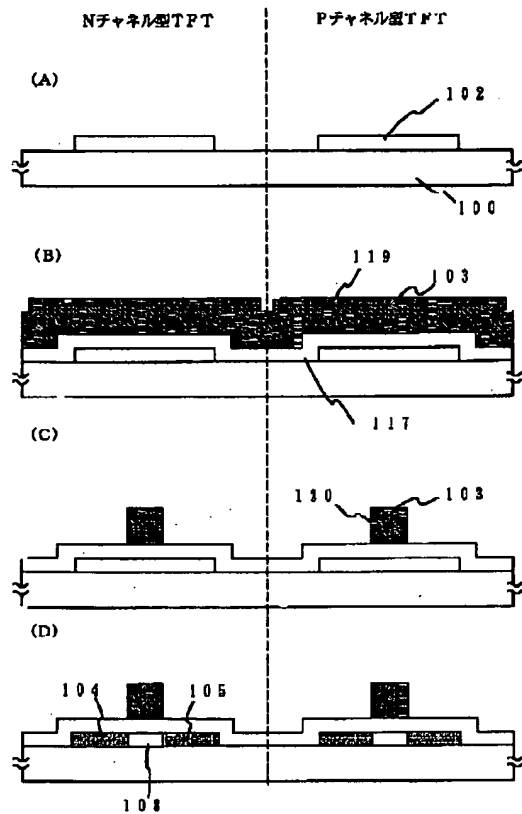
【補正対象書類名】図面

【補正対象項目名】全図

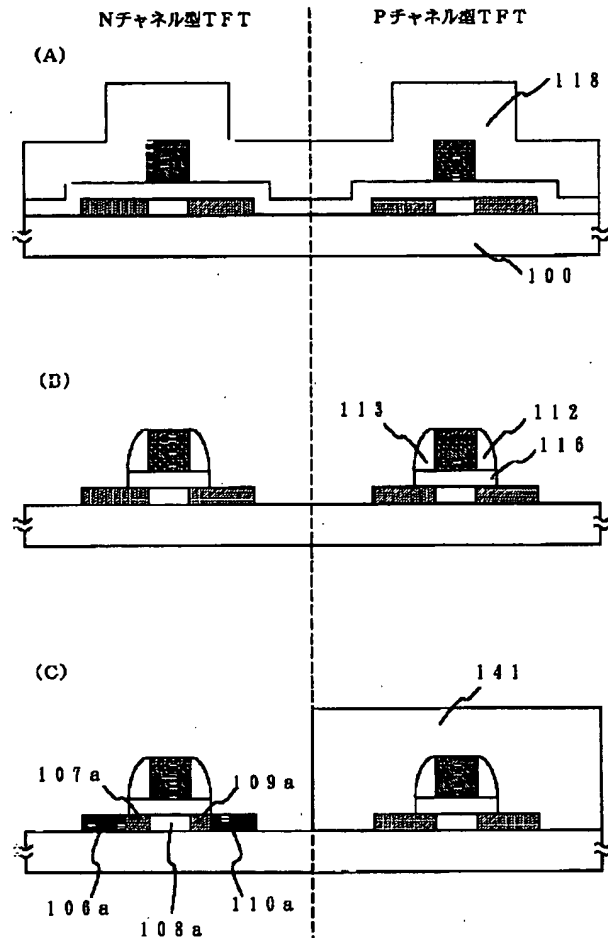
【補正方法】変更

【補正内容】

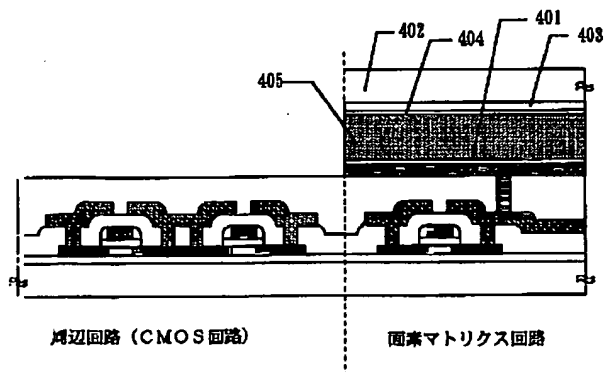
【図1】



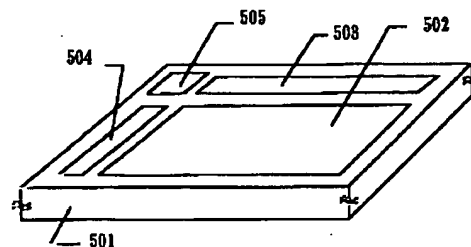
【図2】



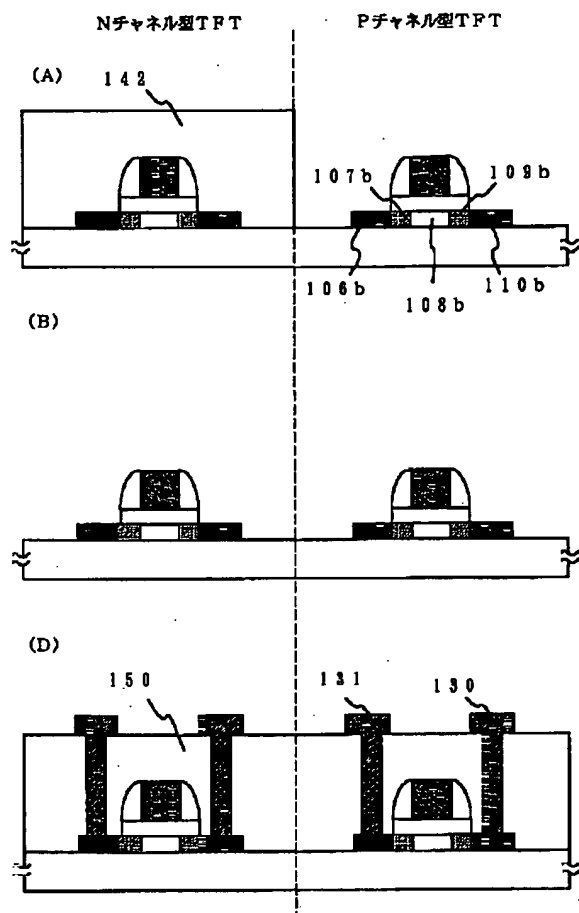
【図4】



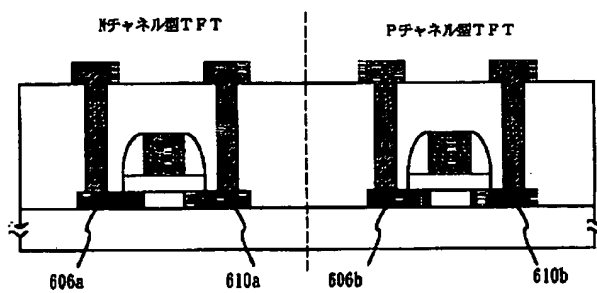
【図5】



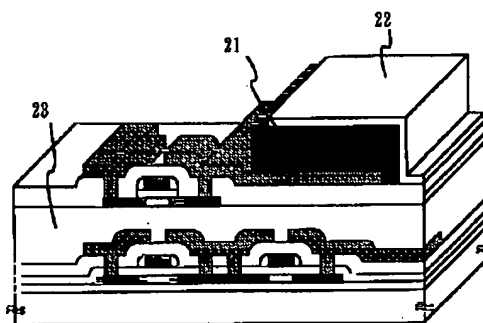
【図3】



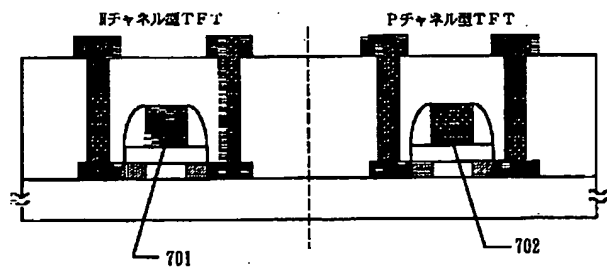
【図6】



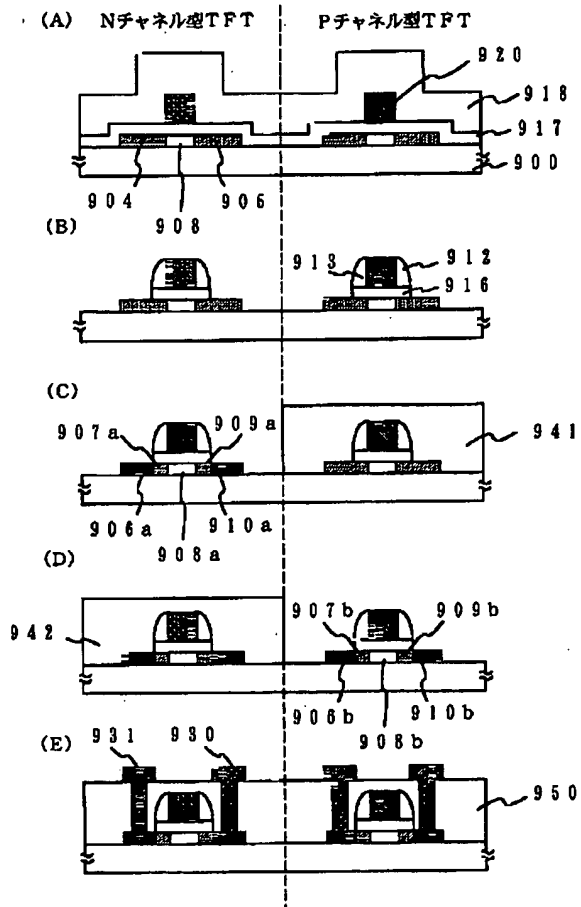
【図8】



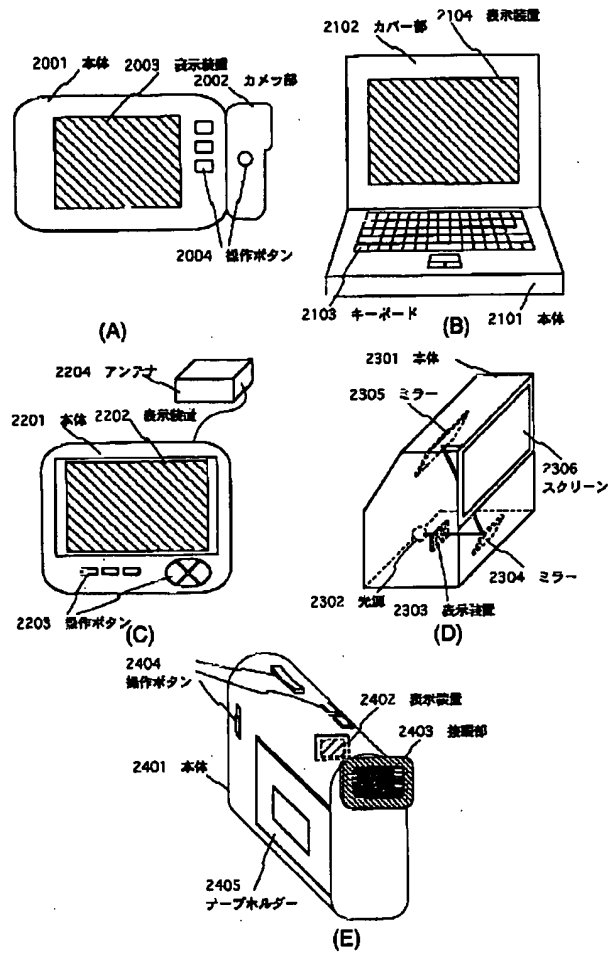
【図7】



【図9】



【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☐ FADED TEXT OR DRAWING

☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☐ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**